

日本国特許庁
JAPAN PATENT OFFICE

2

J1040 U.S. PTO
10/061302

02/04/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 3月14日

出願番号
Application Number:

特願2001-071381

出 願 人
Applicant(s):

沖電気工業株式会社

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

A standard linear barcode is located at the bottom right of the page, consisting of vertical black lines of varying widths.

PATENT TRADEMARK OFFICE

YOSHIDA et al
2-4-02
31869-178004

2001年 7月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕

【書類名】 特許願

【整理番号】 KN002406

【提出日】 平成13年 3月14日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 吉田 聰

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 堀川 晃

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 松本 修一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100090620

【弁理士】

【氏名又は名称】 工藤 宣幸

【手数料の表示】

【予納台帳番号】 013664

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9006358
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号補償回路及び復調回路

【特許請求の範囲】

【請求項1】 入力信号を増幅する出力信号レベル調整端子を有する増幅手段と、

コンデンサを要素として含み、このコンデンサでの充電電圧を上記出力信号レベル調整端子に与える積分手段と、

上記増幅手段からの出力信号の直流レベルの変動を検出して、上記積分手段の時定数に応じて、上記コンデンサの充電電圧を変化させる低速補償手段と、

上記増幅手段からの出力信号の振幅レベルが振幅制限閾値レベルを越えたことを検知し、上記コンデンサの充電電圧を高速に変化させる高速補償手段と、

上記増幅手段からの出力信号の振幅レベルの変動に応じ、上記振幅制限閾値レベルを変更する振幅制限閾値レベル変更手段と

を有することを特徴とする信号補償回路。

【請求項2】 上記振幅制限閾値レベル変更手段は、上記増幅手段からの出力信号の振幅レベルの許容範囲をより大きくするように、上記振幅制限閾値レベルを変更するものであることを特徴とする請求項1に記載の信号補償回路。

【請求項3】 上記振幅制限閾値レベル変更手段は、上記増幅手段からの出力信号の振幅レベルが上記振幅制限閾値レベルを越えたことに応じ、上記振幅制限閾値レベルを変更することを特徴とする請求項2に記載の信号補償回路。

【請求項4】 上記振幅制限閾値レベル変更手段は、少なくとも、当初の上記振幅制限閾値レベルを次の振幅制限閾値レベルへ変更するに際し、上記増幅手段からの出力信号の振幅レベルが上記振幅制限閾値レベルを越えたことに対する保護段数機能を適用していることを特徴とする請求項3に記載の信号補償回路。

【請求項5】 入力信号を検波する検波手段と、この検波手段からの復調信号を増幅する増幅手段と、この増幅手段からの出力信号を基準レベルと比較して、論理レベルを確定したデジタル信号を出力する比較手段とを有する復調回路において、

請求項1～4のいずれかに記載の信号補償回路を適用すると共に、上記増幅手段が、その信号補償回路の要素となっていることを特徴とする復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は信号補償回路及び復調回路に関し、例えば、移動体通信の受信装置などに適用し得るものである。

【0002】

【従来の技術】

無線通信に多く用いられるFSK変調信号は、その信号周波数と予め規定された搬送波周波数との差などの影響により、検波信号の直流電位にオフセット変動が発生する。

【0003】

米国特許第6,104,238号公報（以下、文献1と呼ぶ）には、この直流オフセット変動に追従するため、検波出力を平滑化し、その直流成分を前段のチャネル選択フィルタなどへの周波数制御信号に加算し、その中心周波数を変化させることにより検波回路出力の直流電位変動を抑制するものが開示されている。

【0004】

また、米国特許第5,412,692号公報（以下、文献2と呼ぶ）には、検波出力信号の最大レベルと最小レベルとを検出し、その中間電位を生成して比較回路の参照電位として用い、最終出力信号を得ることが開示されている。上述した中間電位が、検波出力の直流電位変動に追従している。

【0005】

【発明が解決しようとする課題】

ある種の無線通信システムでは送信状態と受信状態が時分割されており、さらに送信状態と受信状態が連続で切り替わる場合以外にも、その切り替わり間に休止状態（電源電圧は印加されているが送信でも受信でもない状態）を有する場合が存在する。このため、通信装置が受信状態に切り替わった時点で、受信信号は

受信装置部にバースト的に到達し、そのときの検波信号の直流電位は動的に変化する。

【0006】

一般に、無線通信システムでは、その伝送信号の先頭にプリアンブルパターンが付加されており、上述した動的な直流電位補償のために用いられる。

【0007】

しかし、そのパターン長は適用される無線通信システムによって異なり、極めて短いパターン長（例えば4ビット程度）にて信号復調するためには、この動的な直流電位に高速に追従する必要がある。

【0008】

さらに、伝送信号はハイレベルの連続やロウレベルの連続の同符号連続パターンを含み、復調回路は、この同符号連続信号に対しても適用システムに規定された連続長までは信号誤りなく動作することが求められる。一般に、この同符号連続耐量と上述した高速直流電位補償の動作とは相反する。

【0009】

文献1に記載の回路構成では、直流電位補償に要する時間は検波出力を平滑化する時間と、チャネル選択フィルタや検波回路の絶対遅延時間との総和となり、高次なフィルタを適用した復調回路では高速な直流電位補償が困難であるとい課題がある。

【0010】

また、文献2に記載の回路構成「の場合にも、高速な直流電位補償を実現するには検波出力の最大レベル及び最小レベル検出用の積分回路の時定数を小さくする必要があり、相反して同符号連続耐量が劣化するという課題がある。

【0011】

そのため、高速な直流電位補償が実行できると共に、同符号連続などによる直流変動をも補償可能な復調回路が望まれており、また、そのような復調回路に適用するのに好適な信号補償回路も望まれている。

【0012】

【課題を解決するための手段】

かかる課題を解決するため、第1の本発明の信号補償回路は、入力信号を増幅する出力信号レベル調整端子を有する増幅手段と、コンデンサを要素として含み、このコンデンサでの充電電圧を上記出力信号レベル調整端子に与える積分手段と、上記増幅手段からの出力信号の直流レベルの変動を検出して、上記積分手段の時定数に応じて、上記コンデンサの充電電圧を変化させる低速補償手段と、上記増幅手段からの出力信号の振幅レベルが振幅制限閾値レベルを越えたことを検知し、上記コンデンサの充電電圧を高速に変化させる高速補償手段と、上記増幅手段からの出力信号の振幅レベルの変動に応じ、上記振幅制限閾値レベルを変更する振幅制限閾値レベル変更手段とを有することを特徴とする。

【0013】

また、第2の本発明の復調回路は、入力信号を検波する検波手段と、この検波手段からの復調信号を増幅する増幅手段と、この増幅手段からの出力信号を基準レベルと比較して、論理レベルを確定したデジタル信号を出力する比較手段とを有するものであって、第1の本発明の信号補償回路を適用すると共に、上記増幅手段が、その信号補償回路の要素となっていることを特徴とする。

【0014】

【発明の実施の形態】

(A) 一実施形態

以下、本発明による信号補償回路及び復調回路の一実施形態を、図面を参照しながら説明する。

【0015】

(A-1-1) 実施形態の復調回路の構成

図1は、実施形態の復調回路の全体構成を示すブロック図である。

【0016】

図1において、実施形態の復調回路は、検波回路1、増幅回路2、第1の比較回路3、第2の比較回路4、信号レベル検知回路5、抵抗R0、コンデンサC0、振幅制限電位制御回路7及び振幅制限電位発生回路8を有する。なお、抵抗R0及びコンデンサC0は、積分回路6を構成している。増幅回路2、第1の比較回路3、信号レベル検知回路5、抵抗R0、コンデンサC0、振幅制限電位制御

回路7及び振幅制限電位発生回路8が、実施形態の信号補償回路を構成している。

【0017】

検波回路1は、入力信号（例えばFSK変調信号）を復調してアナログ信号として增幅回路2に出力するものである。

【0018】

増幅回路2は、復調アナログ信号を第1及び第2の比較回路3及び4が動作可能な振幅レベルまで増幅して、第1及び第2の比較回路3及び4、並びに、信号レベル検知回路5に出力するものである。増幅回路2は、出力電圧調整端子2aを有し、この出力電圧調整端子2aに入力された電圧に応じて、その出力電圧M_{ain}を変化させる。増幅回路2は、出力電圧調整端子2aに入力された電圧が増加すると、出力電圧M_{ain}を減少させ、出力電圧調整端子2aに入力された電圧が減少すると、出力電圧M_{ain}を増加させるように動作するものである。

【0019】

第1の比較回路3は、自己への入力信号電圧（増幅回路2の出力電圧）M_{ain}を論理レベル確定用基準電位V_{th}とレベル比較し、論理レベル確定用基準電位V_{th}を超えた場合は出力電圧を上昇させ、論理レベル確定用基準電位V_{th}を下回った場合は出力電圧を減少させるものである。

【0020】

第2の比較回路4は、第1の比較回路3と同様に、自己への入力信号電圧（増幅回路2の出力電圧）M_{ain}を論理レベル確定用基準電位V_{th}とレベル比較するものであるが、その比較結果を、ロジックレベル（例えばCMOSレベル）で、当該復調回路の出力信号として送出するものである。

【0021】

抵抗R₀及びコンデンサC₀は、上述したように、積分回路6を構成しているものである。この積分回路6の入力端（抵抗R₀の一端）は、第1の比較回路3の出力端に接続されており、第1の比較回路3からの出力電圧に応じ、しかも、時定数R₀×C₀に応じて、充放電し、抵抗R₀及びコンデンサC₀の接続点O_{ffcont}の電位（積分電圧）を変化させるようになされている。また、抵抗

R0及びコンデンサC0の接続点Off contactは、信号レベル検知回路5の出力端に接続されており、信号レベル検知回路5の出力電流の押し出し、引き込みによっても、充放電し、を変化させるようになされている。接続点Off contactの電位は、增幅回路2の出力電圧調整端子2aに印加されるようになされている。

【0022】

信号レベル検知回路5は、増幅回路2の出力電圧Mainが基準高電位Vhighを超えた場合には、出力電流を押し出してコンデンサC0を充電させると共に、振幅制限電位制御回路7へ基準高電位Vhighを超えた情報としてOver VH信号を出力するものである。また、信号レベル検知回路5は、増幅回路2の出力電圧Mainが基準低電位Vlowを下回った場合には、出力電流を引き込んでコンデンサC0を放電させると共に、振幅制限電位制御回路7へ基準低電位Vlowより低下した情報としてUnder VL信号を出力するものである。さらに、信号レベル検知回路5は、増幅回路2の出力電圧Mainが両基準電位Vlow～Vhigh間の範囲内の場合には電流の押し出しも引き込みも実施せず、またOver VH信号及びUnder VL信号も出力しないものである。

【0023】

振幅制限電位制御回路7は、信号レベル検知回路5からOver VH信号及びUnder VL信号を受信し、この受信を契機として制御信号を生成し、振幅制限電位発生回路8を制御するものである。

【0024】

振幅制限電位発生回路8は、振幅制限電位制御回路7からの制御信号に応動して、信号レベル検知回路5へ与える両基準電位Vhigh及びVlow間の電位差を制御するものである。

【0025】

以上のように、増幅回路2、第1の比較回路3及び積分回路6は、負帰還回路を構成している。この負帰還回路は、増幅後の復調信号の直流電位Mainを論理レベル確定用基準電位Vthと同じ電位に安定させるためのものである。その追従速度は、抵抗R0及びコンデンサC0の時定数R0×C0によって決定され

、低速な直流電位変動に対応するようになされている。逆に言えば、低速な直流電位変動に対応するように、抵抗 R_0 及びコンデンサ C_0 の時定数 $R_0 \times C_0$ が選定されている。

【0026】

また、增幅回路2、信号レベル検知回路5、及び、積分回路6内のコンデンサ C_0 も、負帰還回路を構成している。この負帰還回路は、復調信号の電圧振幅が基準低電位 V_{low} ～基準高電位 V_{high} の範囲内になるようするものである。なお、基準低電位 V_{low} 及び基準高電位 V_{high} の中央電位が、論理レベル確定用基準電位 V_{th} になっている。この負帰還回路は、帰還ループ内部に抵抗 R_0 を含まないため、信号レベル検知回路5の検知結果は極めて高速に反映されるものである。

【0027】

以上のように、実施形態の特徴は、帰還ループを2つ有し、低速な直流変動には低速ループで追従し、高速な信号変動には高速ループで追従する点にある。また、実施形態の特徴は、増幅回路2、信号レベル検知回路5、及び、積分回路6内のコンデンサ C_0 でなる高速負帰還回路に対し、高速負帰還を起動させる基準低電位 V_{low} 及び基準高電位 V_{high} を、増幅回路2の出力電圧Mainの振幅に依存して制御する点にある。

【0028】

(A-1-2) 実施形態の復調回路の基本動作

まず、実施形態の復調回路の基本動作を説明する。

【0029】

変調されている入力信号は、検波回路1によって信号復調される。復調されたアナログ信号は、増幅回路2によって増幅される。

【0030】

検波回路1からの出力復調信号の直流電位が変動していても、増幅回路2の出力信号の直流電位は、以下のようにして論理レベル確定用基準電位 V_{th} と同電位となる。

【0031】

増幅回路2の出力電位M ainは、第1の比較回路3によって論理レベル確定用基準電位V thと比較される。電位M ainが論理レベル確定用基準電位V thより大きい場合には、第1の比較回路3の出力により、抵抗R0を介してコンデンサC0が充電され、その積分電圧が上昇する。この上昇した積分電圧は増幅回路2の出力電圧調整端子2aに入力されているため、増幅回路2は出力電位M ainを減少させる。これに対して、電位M ainが論理レベル確定用基準電位V thより小さい場合には、第1の比較回路3の出力により、抵抗R0を介してコンデンサC0が放電され、その積分電圧が下降する。この下降した積分電圧は増幅回路2の出力電圧調整端子2aに入力されているため、増幅回路2は出力電位M ainを上昇させる。

【0032】

このような負帰還動作が定常的に繰り返されることにより、増幅回路2からの出力電位M ainは基準電位V thと同電位となる。

【0033】

また、検波回路1からの出力復調信号の信号振幅が変動しても、増幅回路2の出力信号M ainの振幅は、以下に記載する動作により、基準低電位V low～基準高電位V highの範囲内となる。なお、以下では、基準低電位V low及び基準高電位V highが固定電位として説明する。

【0034】

増幅回路2の出力信号（の電位）M ainは信号レベル検知回路5に入力され、基準低電位V low及び基準高電位V highと比較される。

【0035】

電位M ainが基準高電位V highを超えた場合には、信号レベル検知回路5は出力電流を押し出すため、コンデンサC0を直接充電し、その積分電圧を高速に上昇させる。積分電圧は増幅回路2の出力電圧調整端子2aに入力されているため、増幅回路2は電位M ainを低下させるよう動作し、電位M ainが基準高電位V high以下になった時点で信号レベル検知回路5の出力電流が0となる。このとき、コンデンサC0の積分電圧は一定値となり、同時に、電位M ainは一定値（V high）となる。

【0036】

逆に、電位M a i n が基準低電位V l o wより低下した場合には、信号レベル検知回路5は出力電流を引き込むため、コンデンサC 0を直接放電し、その積分電圧を高速に減少させる。積分電圧は增幅回路2の出力電圧調整端子2 aに入力されているため、增幅回路2は電位M a i n を増加させるよう動作し、電位M a i n が基準電位V l o w以上になった時点で信号レベル検知回路5の出力電流が0となる。このとき、コンデンサC 0の積分電圧は一定値となり、同時に、電位M a i n は一定値(V l o w)となる。

【0037】

また、電位M a i n が基準低電位V l o w～基準高電位V h i g hの範囲内である場合には、信号レベル検知回路5の出力電流は0となり、コンデンサC 0に影響を与えない。

【0038】

以上の動作により、増幅回路2からの出力信号(増幅後の復調信号M a i n)の電圧振幅は、基準低電位V l o w～基準高電位V h i g hの範囲内となる。

【0039】

増幅後の復調信号M a i n は、第2の比較回路4に入力されており、論理レベル確定用基準電位V t hと比較され、ロジックレベルとして出力される。

【0040】

上記では、基準低電位V l o w及び基準高電位V h i g hが固定電位であるとして説明を行ったが、基準低電位V l o w及び基準高電位V h i g hも、振幅制限電位制御回路7及び振幅制限電位発生回路8の機能により、増幅回路2からの出力信号の電圧振幅の変動を考慮して可変している。すなわち、基準低電位V l o w及び基準高電位V h i g hの電位差を制御している。なお、基準低電位V l o w及び基準高電位V h i g hの電位差がいかなる値のときにも、基準低電位V l o w及び基準高電位V h i g h間の中心電位は、電位V t hである。

【0041】

基準低電位V l o w及び基準高電位V h i g hを制御するようにしたのは、基準低電位V l o w及び基準高電位V h i g hが固定電位にした場合に、第2の比

較回路4から次のような場合などに誤った出力信号が送出される恐れがあるためである。

【0042】

図2 (B) に示す希望波と、図2 (B) に示す同一チャネルの妨害波（希望波と同一周波数の妨害波）とが重畠されて図2 (C) に示すように到来した場合にも、上述した高速負帰還機能（振幅制限機能）が動作し、增幅回路2からは、図2 (D) に示すような復調信号が出力され、その結果、第2の比較回路4からも誤った出力信号が送出されることがある。なお、図2 (E) は、図2 (B) に示す希望波に関し、第2の比較回路4からの期待される出力信号を表している。

【0043】

なお、固定の基準低電位 V_{10w} 及び基準高電位 V_{high} 間の電位差を大きくした場合には、同一チャネルの妨害波の重畠による課題を未然に防止し得るが、検波回路1からの復調信号における直流電位オフセット変動の高速補償が困難になる。

【0044】

そこで、この実施形態の場合には、振幅制限電位制御回路7及び振幅制限電位発生回路8を設け、基準低電位 V_{10w} 及び基準高電位 V_{high} も、振幅制限電位制御回路7及び振幅制限電位発生回路8の機能により、増幅回路2からの出力信号の電圧振幅の変動を考慮して可変することとしている。

【0045】

なお、基準低電位 V_{10w} 及び基準高電位 V_{high} の可変動作の詳細は後述する。

【0046】

(A-2) 信号レベル検知回路5の詳細構成例及び動作

次に、信号レベル検知回路5の詳細構成例及び動作を、図3及び図4を参照しながら説明する。

【0047】

図3は、信号レベル検知回路5の詳細構成例を示すブロック図である。図3において、信号レベル検知回路5は、2個の比較回路Comp1及びComp2と

、PMOSトランジスタM11と、NMOSトランジスタM12とを有する。

【0048】

電源端子Vdd (= 2 × Vth) 及び接地間には、PMOSトランジスタM11のソース端子及びドレイン端子と、NMOSトランジスタM12のドレイン端子及びソース端子とが直列に接続されている。PMOSトランジスタM11及びNMOSトランジスタM12はそれぞれ、スイッチングトランジスタとして設けられているものであり、PMOSトランジスタM11のドレイン端子と、NMOSトランジスタM12のドレイン端子との接続点は、上述した積分回路6におけるコンデンサC0及び抵抗R0の接続点Offcontに接続されている。

【0049】

すなわち、PMOSトランジスタM11がオン、NMOSトランジスタM12がオフのときは積分回路6へ充電電流が流れ、逆に、PMOSトランジスタM11がオフ、NMOSトランジスタM12がオンのときは積分回路6から放電電流を引き込み、PMOSトランジスタM11及びNMOSトランジスタM12が共にオフのときは積分回路6へなんらの影響も与えない。

【0050】

PMOSトランジスタM11をオンオフ制御するものとして比較回路Comp1が設けられており、また、NMOSトランジスタM12をオンオフ制御するものとして比較回路Comp2が設けられている。

【0051】

比較回路Comp1の正極入力端子に基準高電位Vhighが入力され、その負極入力端子には、增幅後の復調信号Mainが入力されている。比較回路Comp1は、復調信号Mainが基準高電位Vhighより大きいときに、PMOSトランジスタM11をオン動作する。なお、比較回路Comp1の出力端子は、PMOSトランジスタM11のゲート端子に接続されているだけでなく、振幅制限電位制御回路7のOver VH信号の入力端子にも接続されている。

【0052】

また、他方の比較回路Comp2の正極入力端子に基準低電位Vlowが入力され、その負極入力端子には、增幅後の復調信号Mainが入力されている。比

較回路Comp 2は、復調信号Mainが基準低電位Vlowより小さいときに、NMOSトランジスタM12をオン動作する。なお、比較回路Comp 2の出力端子は、NMOSトランジスタM12のゲート端子に接続されているだけでなく、振幅制限電位制御回路7のUnder VL信号の入力端子にも接続されている。

【0053】

例えば、図4(A)に示すような増幅後の復調信号Mainが入力された場合には、Over VH信号及びUnder VL信号はそれぞれ、図4(B)、(C)に示すようなものとなる。

【0054】

(A-3) 振幅制限電位制御回路7の詳細構成例及び動作

次に、振幅制限電位制御回路7の詳細構成例及び動作を、図5及び図6を参照しながら説明する。

【0055】

図5は、振幅制限電位制御回路7の詳細構成例を示すブロック図である。図5において、振幅制限電位制御回路7は、2個の1ビットA/Dコンバータ回路AD1及びAD2と、反転バッファINVと、セットリセット型フリップフロップRSと、論理和回路ORと、2:1セレクタ回路SELと、立ち上がり検出回路10と、6個のD型フリップフロップdff1~dff6とを有する。

【0056】

1ビットA/Dコンバータ回路AD1は、信号レベル検知回路5から入力されたOver VH信号をデジタル信号レベルに変換するものである。反転バッファINVは、A/Dコンバータ回路AD1からのデジタル信号を反転して、セットリセット型フリップフロップRSのセット入力端子及び2入力論理和回路ORの一方の入力端子に与えるものである。また、1ビットA/Dコンバータ回路AD2は、信号レベル検知回路5から入力されたUnder VL信号を、デジタル信号レベルに変換し、セットリセット型フリップフロップRSのリセット入力端子及び2入力論理和回路ORの他方の入力端子に与えるものである。

【0057】

セットリセット型フリップフロップRSは、反転バッファINVから有意な(

ハイレベルの) デジタル信号が到来したときに、非反転出力端子Qをハイレベルにすると共に、A/Dコンバータ回路AD2から有意な(ハイレベルの)デジタル信号が到来したときに、非反転出力端子Qをローレベルにし、その出力信号を2:1セレクタ回路SELの一方の入力端子に与えるものである。論理和回路ORは、反転バッファINVから出力されたデジタル信号及びA/Dコンバータ回路AD2から出力されたデジタル信号の論理和をとって、2:1セレクタ回路SELの他方の入力端子に与えるものである。

【0058】

また、セレクタ回路SELは、D型フリップフロップdff2の非反転出力信号onePが選択制御信号として与えられ、選択制御信号onePがローレベルのときに、セットリセット型フリップフロップRSの出力信号を選択し、選択制御信号onePがハイレベルのときに、論理和回路ORの出力信号を選択して立ち上がり検出回路10に与えるものである。

【0059】

立ち上がり検出回路10は、例えば、図5に示すように、D型フリップフロップdff0と論理積回路ANDとでなり、セレクタ回路SELからの出力信号の立ち上がりを検出し、十分に高速なクロックCLKの1周期の幅を有する検出信号を形成して、D型フリップフロップdff1～dff6のクロック入力端子に与えるものである。クロックCLKは、適用される無線システムにて規定された最高伝送信号速度(例えば1Mbps)より十分高速なもの(例えば12MHz)である。

【0060】

D型フリップフロップdff1～dff6は、シフトレジスタ的に継続接続されているものである。初段のD型フリップフロップdff1のデータ入力端子はハイレベル(Vdd)になっている。従って、シフト動作が繰り返される毎に、ハイレベルを保持するD型フリップフロップの数が多くなっていくようになされている。

【0061】

D型フリップフロップdff2～dff6の非反転信号oneP～fiveP及び反転

信号oneN～fiveNが、当該振幅制限電位制御回路7からの出力信号として振幅制限電位発生回路8に与えられる。

【0062】

なお、D型フリップフロップDFF1～DFF6は、当該復調回路が復調動作（検波動作）を開始する前においては、全てローレベルになっている。図示は省略するが、例えば、リセット入力端子へのリセット信号の入力による。

【0063】

次に、振幅制限電位制御回路7の動作について、図6のタイムチャートを参照しながら説明する。

【0064】

信号レベル検知回路5から入力されたOverVH及びUnderVL信号はそれぞれ、1ビットA/Dコンバータ回路AD1及びAD2によりデジタル信号レベルに変換される。ここで、OverVH信号はデジタル信号レベルに変換された後、極性反転バッファINVにより、その論理極性が反転するため、有意な論理極性はUnderVL信号と等しくなる（図6（D）、（E））。従って、OverVH信号が入力された場合には、セットリセット型フリップフロップRSはハイレベルとなり、UnderVL信号が入力された場合には、セットリセット型フリップフロップRSはローレベルとなる。

【0065】

ここで、セットリセット型フリップフロップRSの出力がローレベルからハイレベルへ遷移した場合には、図1の增幅回路2の出力信号が、信号レベル検知回路5の振幅制限電位（基準電位）Vhigh及びVlowと共に確実に横切ったことを示している。一方、論理和回路ORの出力は、どちらかの信号が入力された場合にハイレベルとなる。セットリセット型フリップフロップRSの出力及び論理和回路ORの出力は、セレクタ回路SELによりどちらか一方が選択される（図6（F））。

【0066】

セレクタ回路SELの選択動作は、D型フリップフロップDFF2の出力（oneP）によって制御されており、oneP信号がハイレベルのとき、論理和回路OR

の出力が選択され、逆に、oneP信号がローレベルのとき、セットリセット型フリップフロップRSの出力が選択される。

【0067】

すなわち、この振幅制限電位制御回路7の全体動作において、セットリセット型フリップフロップRSの出力がローレベルからハイレベルへ遷移した後、D型フリップフロップdff2の出力(oneP)をローレベルからハイレベルへ遷移させる仕組みを実現することにより、図1の增幅回路2の出力が信号レベル検知回路の振幅制限電位Vhigh及びVlowと共に確実に横切ったことを保証でき、確実な直流電位補正の実現に寄与する。

【0068】

立ち上がり検出回路10は、適用される無線システムにて規定された最高伝送信号速度（例えば1Mbps）より十分高速なクロック（例えば12MHz）CLKにて、セレクタ回路SELにより選択されたセットリセット型フリップフロップRSあるいは論理和回路ORの出力の立ち上がり検出を行う（図6（G））。この立ち上がり検出出力は、Over VH信号及びUnder VL信号が極めて近接して到来した場合でも、無線システムにて規定された最高伝送信号速度の1周期程度の間隔となるため、D型フリップフロップdff1～dff6の誤動作防止に寄与する。

【0069】

立ち上がり検出回路10の出力は、D型フリップフロップdff1～dff6のクロック入力端子に入力される。D型フリップフロップdff1～dff6はシフトレジスタを構成しているため、セレクタ回路SELの出力を契機として、内部保持レベルが順次dff1からdff6の順でシフトする（図6（I）～（M））。ここで、初段のD型フリップフロップdff1は保護機能を目的として挿入されており、セットリセット型フリップフロップRSの初期状態がローレベルであったとしても、1度目のOver VH信号の入力を契機としてD型フリップフロップdff2の出力(oneP)が遷移しないことを保証する。この動作は、セットリセット型フリップフロップRSの出力がローレベルからハイレベルへ遷移した後、D型フリップフロップdff2の出力(oneP)をローレベルからハイレ

ベルへ遷移させる仕組みと合わせて、増幅回路2の出力の直流電位補正をより確実なものとする。

【0070】

以上のように、振幅制限電位制御回路7は、信号レベル検知回路5からのOver V H信号及びUnder V L信号の入力を契機として、oneP～fiveP信号及びoneN～fiveN信号を振幅制限電位発生回路8に出力するものであり、oneP～fiveP信号について言えば、ハイレベルをとるものが順次増えていく。

【0071】

(A-5) 振幅制限電位発生回路8の詳細構成例及び動作

次に、振幅制限電位発生回路8の詳細構成例及び動作を、図7及び図8を参照しながら説明する。

【0072】

図7は、振幅制限電位発生回路8の詳細構成例を示すブロック図である。図7において、振幅制限電位発生回路8は、14個の抵抗R1～R14と、5個のPMOSトランジスタM1～M5と、5個のNMOSトランジスタM6～M10とを有する。

【0073】

電源電圧Vdd及び接地間には、電源電圧Vdd側から、14個の抵抗R7～R1、R8～R14が直列に接続されている。

【0074】

抵抗R7～R3にはそれぞれ、並列に、スイッチング動作するPMOSトランジスタM1～M5が接続されており、対応するPMOSトランジスタM1～M5のオン動作によって、当該抵抗R7～R3を短絡し得るようになされている。PMOSトランジスタM1～M5のゲート端子には、振幅制限電位制御回路7からのoneN～fiveN信号が与えられるようになされている。

【0075】

同様に、抵抗R14～R10にはそれぞれ、並列に、スイッチング動作するNMOSトランジスタM6～M10が接続されており、対応するNMOSトランジスタM6～M10のオン動作によって、当該抵抗R14～R10を短絡し得るよ

うになされている。NMOSトランジスタM6～M10のゲート端子には、振幅制限電位制御回路7からのoneP～fiveP信号が与えられるようになされている。

【0076】

なお、振幅制限電位制御回路7に対する説明から明らかなように、oneN信号とoneP信号とは相補信号であるため、PMOSトランジスタM1がオンのときはNMOSトランジスタM6もオンする。他のPMOSトランジスタ及びNMOSトランジスタについても同様である。

【0077】

抵抗R2及びR1の接続点の電位が、基準高電位（上側振幅制限電位）Vhighとして信号レベル検知回路5に与えられると共に、抵抗R8及びR9の接続点の電位が、基準低電位（下側振幅制限電位）Vlowとして信号レベル検知回路5に与えられるようになされている。

【0078】

次に振幅制限電位発生回路8の動作を、図8のタイミングチャートを参照しながら、説明する。

【0079】

なお、初期状態として、oneP～fiveP信号がローレベル、oneN～fiveN信号がハイレベルとする。また、各抵抗R1～R14の抵抗値に対し、以下の関係が成立するものとする。

【0080】

$$R_1 = R_8, R_2 = R_9, R_3 = R_{10}, R_4 = R_{11},$$

$$R_5 = R_{12}, R_6 = R_{13}, R_7 = R_{14} \quad \dots (1)$$

このとき、全てのNMOSトランジスタM6～M10も、全てのPMOSトランジスタM1～M5もオフ状態（不通状態）となる。従って、基準電位Vhigh及びVlowは、電源電位Vddと抵抗R1～R14の抵抗値で決定される抵抗分圧電位となり、それぞれ、以下のようになる。なお、(2)式における総和ΣRnはnが1～7についてである。

【0081】

$$\begin{aligned} V_{high} &= (V_{dd}/2) \\ &\times \{1 + (R_1 / (\sum R_n))\} \end{aligned} \quad \cdots (2)$$

$$V_{low} = V_{dd} - V_{high} \quad \cdots (3)$$

次に、oneP信号がハイレベル、oneN信号がローレベルに同時に遷移したとすると、PMOSトランジスタM1及びNMOSトランジスタM6が共にオン状態（導通状態）となり、抵抗R7及び抵抗R14は短絡される。このため、基準電位 V_{high} 及び V_{low} は、電源電位 V_{dd} と抵抗 $R_1 \sim R_6$ 、 $R_8 \sim R_{13}$ の抵抗値で決定される抵抗分圧電位となり、それぞれ、以下のようになる。なお、(4)式における総和 $\sum R_n$ はnが1～6についてである。

【0082】

$$\begin{aligned} V_{high} &= (V_{dd}/2) \\ &\times \{1 + (R_1 / (\sum R_n))\} \end{aligned} \quad \cdots (4)$$

$$V_{low} = V_{dd} - V_{high} \quad \cdots (5)$$

すなわち、oneP信号からfiveP信号へ順次ハイレベルをとる信号が増えると共に、同時に、oneN信号からfiveN信号へ順次ローレベルをとる信号が増えるように遷移したすると、それによりオン状態（導通状態）となったPMOSトランジスタ及びNMOSトランジスタの個数によって、基準電位 V_{high} 及び V_{low} は定まる。図8に示すように、oneP信号～fiveP信号に基づいて、m（mは0～5のいずれか）個のPMOSトランジスタがオン状態になり、同時に、oneN信号～fiveN信号に基づいて、m個のNMOSトランジスタがオン状態になったときの基準電位 V_{high} 及び V_{low} は、次の一般式で表すことができる。なお、(6)式における総和 $\sum R_n$ はnが1～(7-m)についてである。

【0083】

$$\begin{aligned} V_{high} &= (V_{dd}/2) \\ &\times \{1 + (R_1 / (\sum R_n))\} \end{aligned} \quad \cdots (6)$$

$$V_{low} = V_{dd} - V_{high} \quad \cdots (7)$$

以上のように、振幅制限電位発生回路8は、振幅制限電位制御回路7の出力に応じて、信号レベル検知回路5の基準電位 V_{high} 及び V_{low} の電位差を、 $V_{dd}/2$ を中心に順次拡大していくものである。

【0084】

以上詳細に説明した信号レベル検知回路5、振幅制限電位制御回路7、振幅制限電位発生回路8の機能によって、図1に示す増幅回路2の出力信号Mainの振幅に応じ、図9に示すように、振幅制限電位Vhigh及びVlowは段階的に増大するように遷移していく。

【0085】

(A-6) 実施形態の復調回路の動作例

次に、信号レベル検知回路5、振幅制限電位制御回路7及び振幅制限電位発生回路8の詳細構成をも踏まえて、実施形態の復調回路の第1の動作例を、図10を参照しながら説明する。

【0086】

なお、上述した基本動作の説明と重複する箇所もあるが、その箇所は簡単に又は省略して説明する。また、論理レベル確定用基準電位Vthは、振幅制限電位Vhigh及びVlowの中間電位Vdd/2とする。さらに、振幅制限電位Vhigh及びVlowの初期電位差は、検波回路1によって復調される希望波信号の最小振幅程度となるように設定する。

【0087】

今、図10の時間t=0において、希望波が到来したとすると、希望波の周波数と予め規定された搬送波周波数との差などの影響により、検波回路1によって検波された、図10(A)に示す検波信号Demodには、その直流電位に動的なオフセット変動が発生する。ここでは、直流電位変動を下向きに発生した場合を説明する。検波回路1の出力信号Demodは増幅回路2によって線形増幅された後、第1の比較回路3、第2の比較回路4、信号レベル検知回路5に入力される。ここで、増幅回路2の出力信号Mainがその直流電位変動により信号レベル検知回路5に入力されている基準低電位Vlowを下回ったとすると、信号レベル検知回路5の動作により、コンデンサC0は急激に放電する。このため、増幅回路2の出力信号Mainの直流電位は急激に上昇し(図10の高速負帰還の期間)、基準低電位Vlowと同電位になるよう高速に補正される。

【0088】

その後、検波回路1の出力D e m o dにおける希望波の交流成分により、增幅回路2の出力M a i nが基準高電位V h i g hに達するが、この時点では、振幅制限電位制御回路7は上述した保護機能のため振幅制限電位を切り替えない。このため、增幅回路2の出力信号M a i nが基準高電位V h i g hを越えた時点で、信号レベル検知回路7はコンデンサC Oを急激に充電させ、その結果、增幅回路2の出力信号M a i nの電位は急激に降下し、基準高電位V h i g hを大きく上回ることはない。

【0089】

続く希望波の交流成分により、增幅回路2の出力信号M a i nは再度基準低電位V l o wに達するが、この時点においても、振幅制限電位制御回路7の保護機能のため、基準低電位V l o wに変化がないため、信号レベル検知回路5は、コンデンサC Oを急激に放電させ、これにより、增幅回路2の出力信号M a i nの電位は急激に上昇し、基準低電位V l o wを大きく下回ることはない。この時点で、振幅制限電位制御回路7内のセットリセット型フリップフロップR Sの出力はローレベルである。

【0090】

その後、再度、增幅回路2の出力信号M a i nが基準高電位V h i g hに達した時点で、振幅制限電位制御回路7のセットリセット型フリップフロップR Sの出力はハイレベルとなるため、增幅回路2の出力信号M a i nが確実に基準高電位V h i g h及び基準低電位V l o wを横切ったと認識し（両基準電位の少なくとも1回ずつの横切りによる）、振幅制限電位制御回路7は、振幅制限電位（基準高電位及び基準低電位）の切り替え制御を発動する（図10のoneP信号）。従って、基準高電位V h i g h及び基準低電位V l o wの電位差は1段階分だけ拡大される。

【0091】

さらに続く交流成分以降は、增幅回路2の出力信号M a i nが基準高電位V h i g hを上回る、あるいは、基準低電位V l o wを下回る度に、基準高電位V h i g h及び基準低電位V l o wの電位差が拡大され、振幅制限電位制御回路7によるその拡大動作は、増幅回路2の出力信号M a i nの振幅が基準高電位V h i

$g\ h$ 及び基準低電位 V_{low} の電位差を下回るまで繰り返される。図10は、3段階の電位差の拡大によって、出力信号 $Main$ の振幅が基準高電位 V_{high} 及び基準低電位 V_{low} の電位差を下回るようになった例を示している。

【0092】

このような状態において、時点 $t = t_1$ から、検波回路1の出力信号 $Demod$ に同符号連続が発生したとしてと（図10ではハイレベル連続の例）、增幅回路2の出力信号 $Main$ は両基準電位 V_{high} 及び V_{low} の間に位置するため、信号レベル検知回路5によるコンデンサ C_0 の高速充電及び放電動作は実行されない。しかし、この場合には、增幅回路2の出力信号 $Main$ は、第1の比較回路3、抵抗 R_0 及びコンデンサ C_0 による低速負帰還作用のため、図10に示すように、時定数 $R_0 \times C_0$ によって電位 $V_{dd}/2 (=V_{th})$ に向かって降下する。

【0093】

ここで、時定数 $R_0 \times C_0$ は適用される無線システムにおいて規定される同符号連続長まで十分保証できる定数に設定しておく。

【0094】

続く検波回路1の出力信号 $Demod$ の次の交流成分により増幅回路2の出力信号 $Main$ が基準低電位 V_{low} を下回ると、両基準電位 V_{high} 及び V_{low} の電位差は再度拡大するが（図10中の時点 $t = t_2$ ）、低速負帰還は定常的に作用し続けるため、以後の増幅回路2の出力信号 $Main$ の直流電位は、第1の比較回路3による符号確定用基準電位 $V_{dd}/2$ 向かって収束する。

【0095】

次に、希望波に同一周波数の妨害波が重畠されている場合の動作例（第2の動作例）について、図11を用いて説明する。

【0096】

希望波に同一の搬送波周波数の妨害波が重畠されている場合の検波回路1の出力信号 $Demod$ は、図11（C）に示すようになる。

【0097】

ここで、図11での時点 $t = t_1$ 以前の、希望波到来後の高速直流電位補正動

作や、增幅回路2の出力振幅に応じて両振幅制限電位（基準高電位V_{high}及び基準低電位V_{low}）の電位差を拡大する動作は、上述した図10の動作の場合と同様である。

【0098】

しかし、時点 $t = t_1$ においては、增幅回路2の出力信号Mainの振幅が妨害波が重畠された状態であるため、振幅制限電位は重畠された妨害波の振幅分まで含んで拡大される。すなわち、図11では、時刻 $t = t_1$ において振幅制限電位の拡大が4段階まで機能なされている（なお、図10の場合では3段階である）。

【0099】

従って、続く希望波の同符号連続に重畠された妨害波は、第2の比較回路4の符号確定用基準電位 $V_{dd}/2$ を横切ることはなく、出力信号は誤りなく出力される。

【0100】

(A-7) 実施形態の効果

以上のように、上記実施形態によれば、抵抗とコンデンサにて構成される積分回路を介して復調信号の直流電位補償を低速で実行する負帰還ループと、復調信号の電圧振幅を検知し、その検知結果に応動して上記コンデンサを高速に充放電する負帰還ループを独立に設けたので、抵抗値とコンデンサ値及び高速充放電能力の選択によって、高速な直流電位補償と同符号連続耐量が各々独立にかつ柔軟に設定可能であるといい効果がある。

【0101】

また、上記実施形態によれば、2個の基準電位（振幅制限電位）によって復調信号の電圧振幅を検知し、その検知結果に応動して、上記比較電位を制御する回路を設けたので、希望波と同一搬送波周波数の妨害波が重畠して入力された場合でも、誤りなく信号復調が可能という効果をも奏する。

【0102】

さらに、基準電位（振幅制限電位）を制御する振幅制限電位制御回路7に、初期保護機能を付加し、復調信号が、高低の基準電位を確実に横切ることの認識を

以って、上記基準電位の制御を開始する構成としたため、復調信号の直流電位補正の確実性が向上するという効果をも奏する。

【0103】

(B) 他の実施形態

上記実施形態では無線通信システムに適用する例にて説明したが、光伝送システムなどのような他のシステムにも同様に適用可能である。他のシステムも、ベースト信号を受信するシステムであれば、適用効果は大きい。

【0104】

また、上記実施形態では、各回路の詳細構成をMOSトランジスタを用いて構成した場合について説明したが、バイポーラトランジスタなど他のデバイスを用いても同様に実現できる。また、ユニポーラトランジスタも、他種類のものを適用できる。

【0105】

さらに、上記実施形態では、振幅制限電位の切り替え段数が5段の例を説明したが、それ以外の段数であっても良い。

【0106】

さらにまた、上記実施形態では、振幅制限電位制御回路7内で立ち上がり検出回路10を用いるものを示したが、その部分に、立ち下がり検出回路を用いるようにしても良い。

【0107】

また、上記実施形態では、振幅制限電位制御回路7は、両振幅制限電位の電位差が大きくなる方向だけに振幅制限電位を切り替えるものを示したが、電位差が小さくなる方向にも振幅制限電位を切り替える制御を行うようにしても良い。例えば、增幅回路2の出力信号Mainが振幅制限電位を横切らない時間が所定時間を越えた場合には、両振幅制限電位の電位差を1段階小さくなるように切り替えても良い。

【0108】

さらに、上記実施形態では、当初の振幅制限電位を1段上の電位に切り替える場合においてのみ、保護段数機能を適用したものを示したが、他の切替え時にも

、保護段数機能を適用するようにしても良い。

【0109】

本発明は、実施形態でいう所の増幅回路、第1の比較回路、信号レベル検知回路、積分回路、振幅制限電位制御回路及び振幅制限電位発生回路の部分（信号補償回路）に特徴を有し、その入力段側回路は検波回路に限定されるものではなく、また、その出力段側回路も第2の比較回路に限定されるものではない。

【0110】

【発明の効果】

以上のように、本発明の信号補償回路及び復調回路によれば、高速な直流電位補償が実行できると共に、同符号連続などによる直流変動をも補償でき、さらには、ノイズ混入時の安定動作をも補償することができる。

【図面の簡単な説明】

【図1】

実施形態の復調回路の全体構成を示すブロック図である。

【図2】

実施形態の振幅制限電位制御回路及び振幅制限電位発生回路を設けた理由の説明図である。

【図3】

実施形態の信号レベル検知回路の詳細構成例を示すブロック図である。

【図4】

図3の各部信号波形図である。

【図5】

実施形態の振幅制限電位制御回路の詳細構成例を示すブロック図である。

【図6】

図5の各部タイミングチャートである。

【図7】

実施形態の振幅制限電位発生回路の詳細構成例を示すブロック図である。

【図8】

図7の各部タイミングチャートである。

【図9】

実施形態の信号レベル検知回路への入力信号と、振幅制限電位との関係を示す説明図である。

【図10】

実施形態の復調回路の動作説明用各部信号波形図（1）である。

【図11】

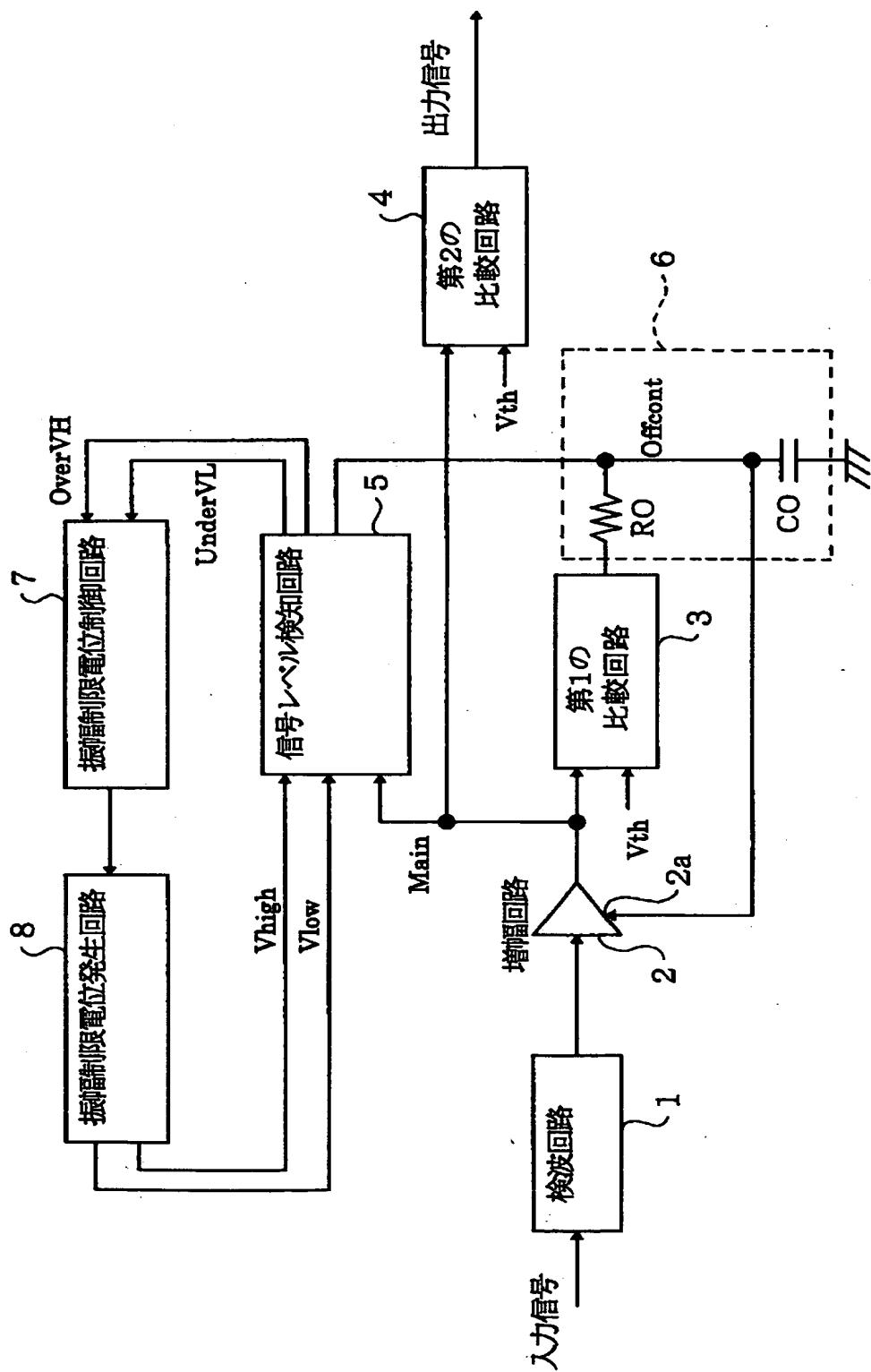
実施形態の復調回路の動作説明用各部信号波形図（2）である。

【符号の説明】

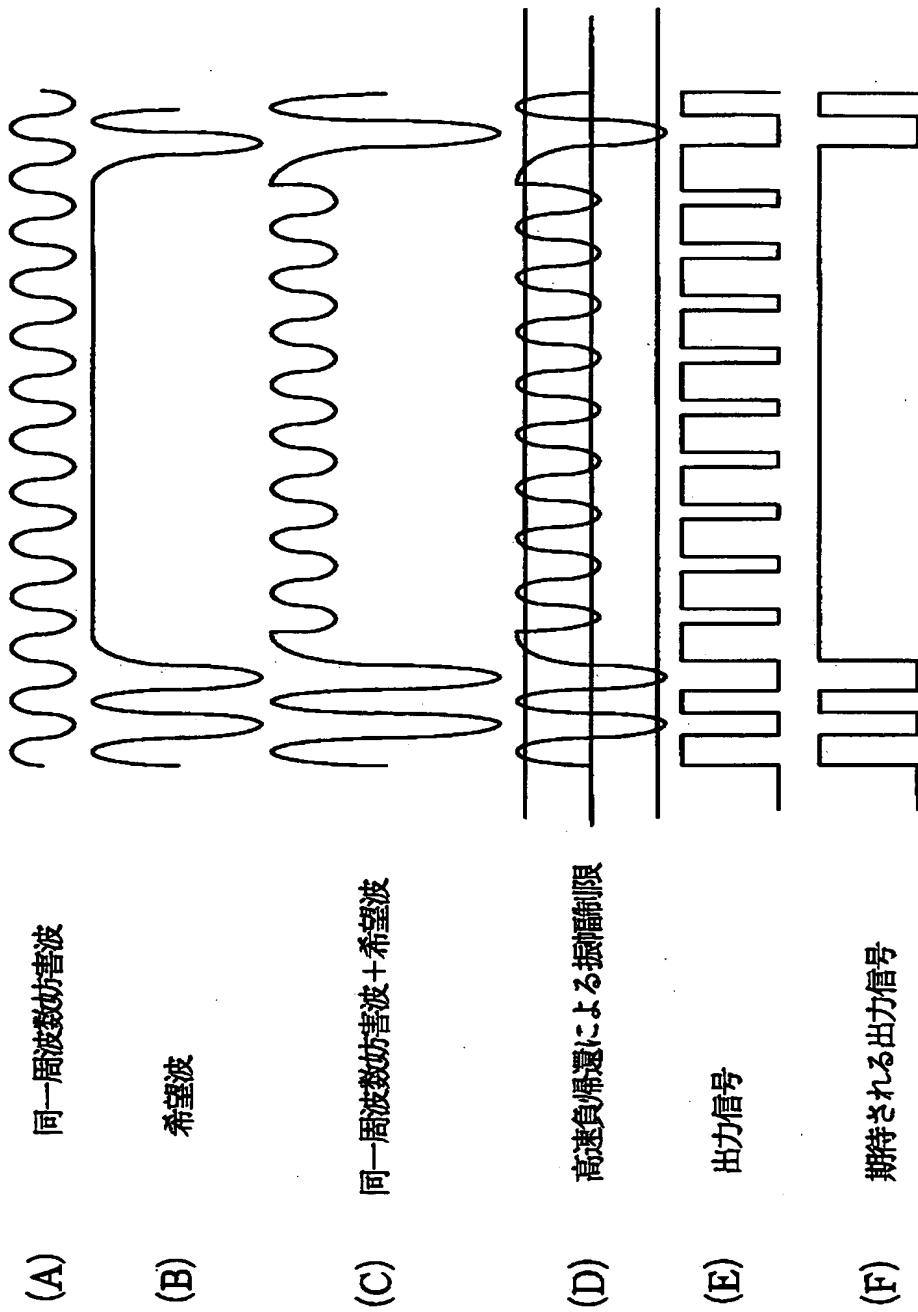
1 … 検波回路、 2 … 増幅回路、 3 … 第1の比較回路、 4 … 第2の比較回路、 5 … 信号レベル検知回路、 6 … 積分回路、 7 … 振幅制限電位制御回路、 8 … 振幅制限電位発生回路、 C0 … コンデンサ、 R0 … 抵抗。

【書類名】 図面

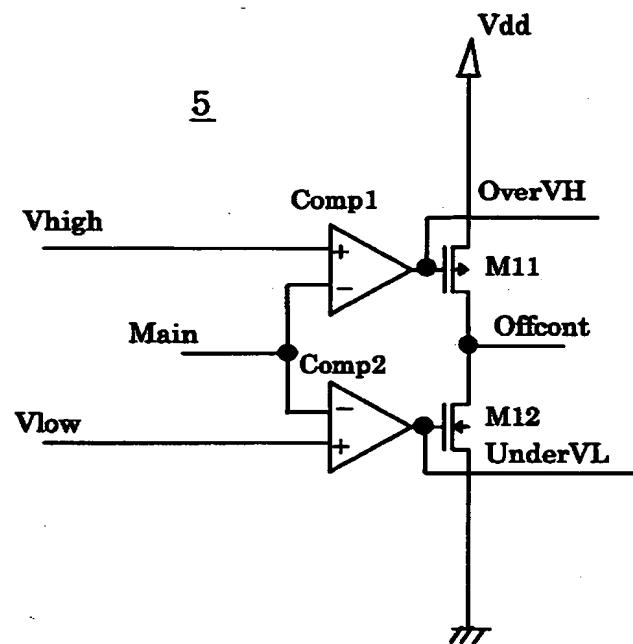
【図1】



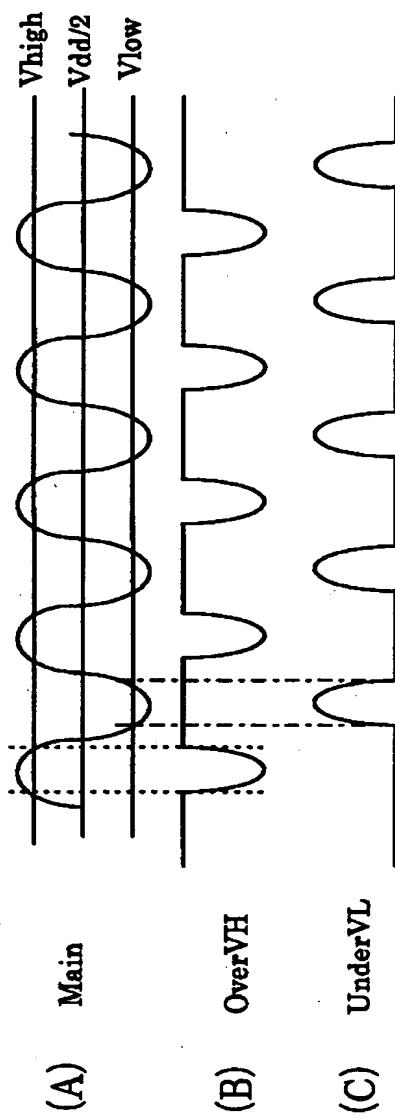
【図2】



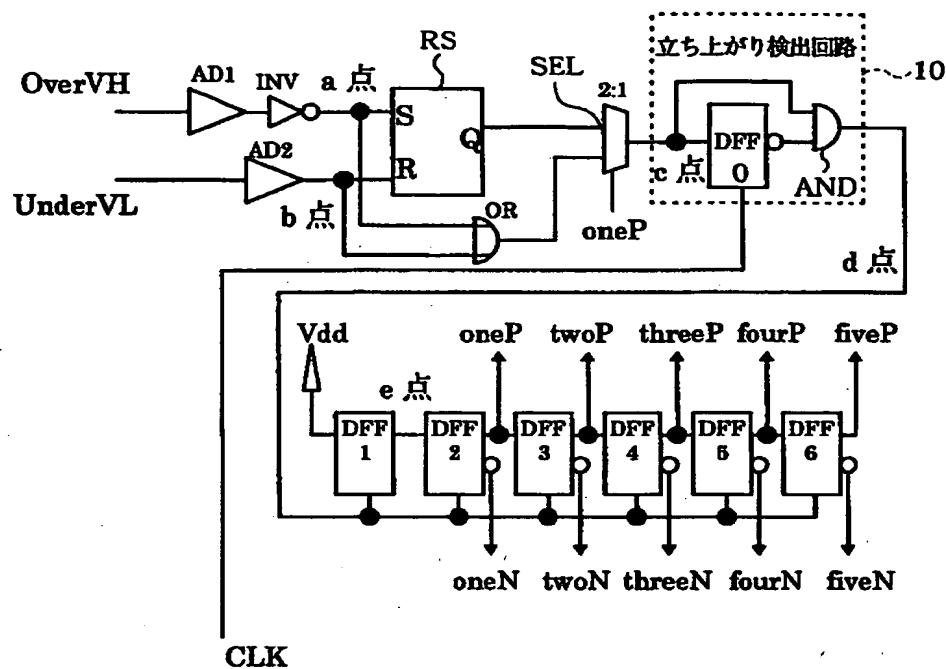
【図3】



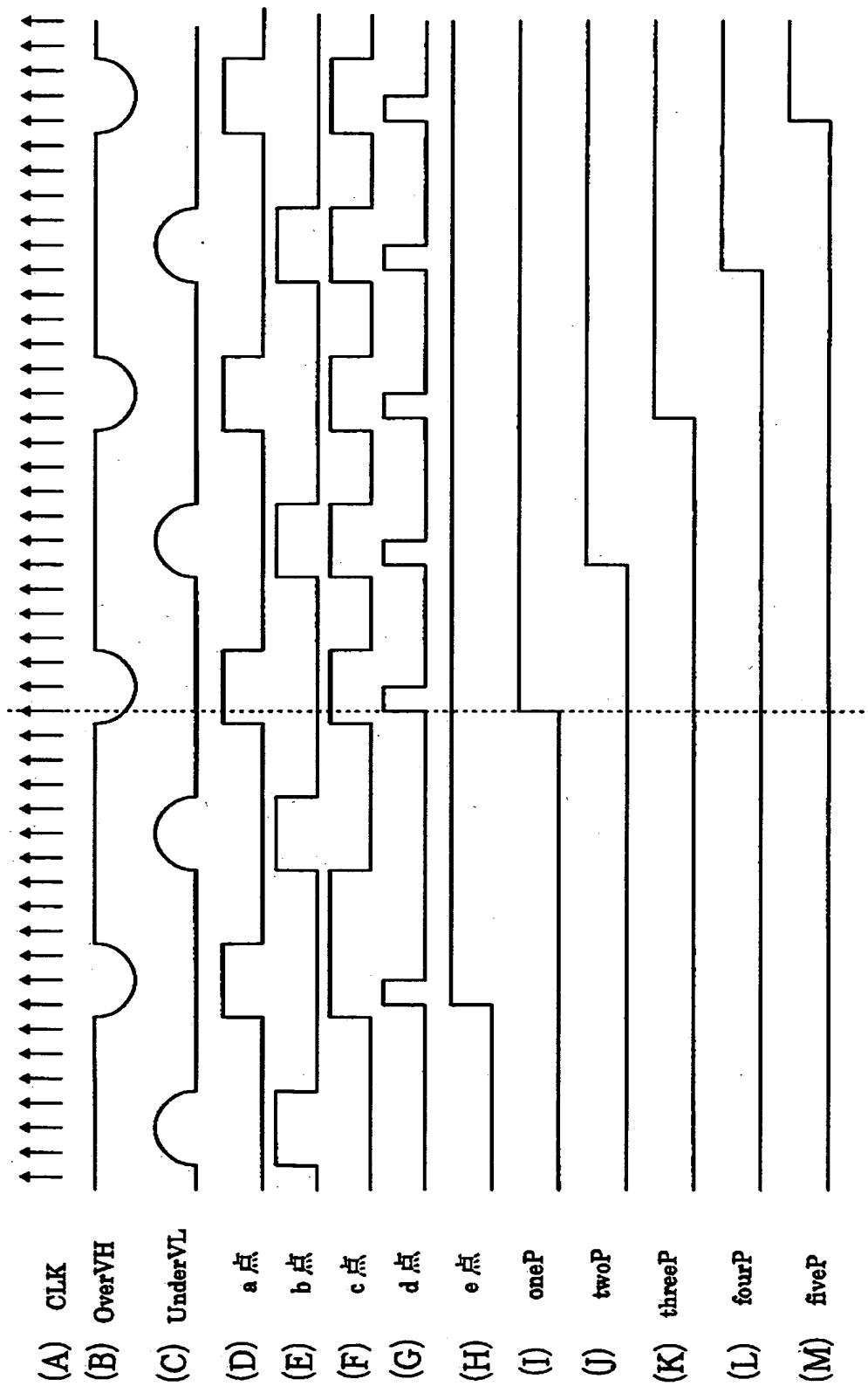
【図4】



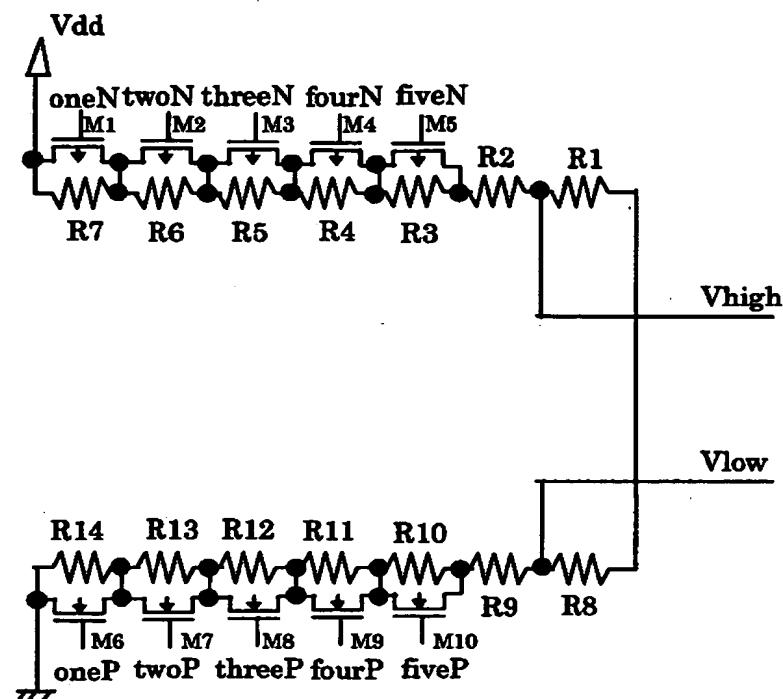
【図5】



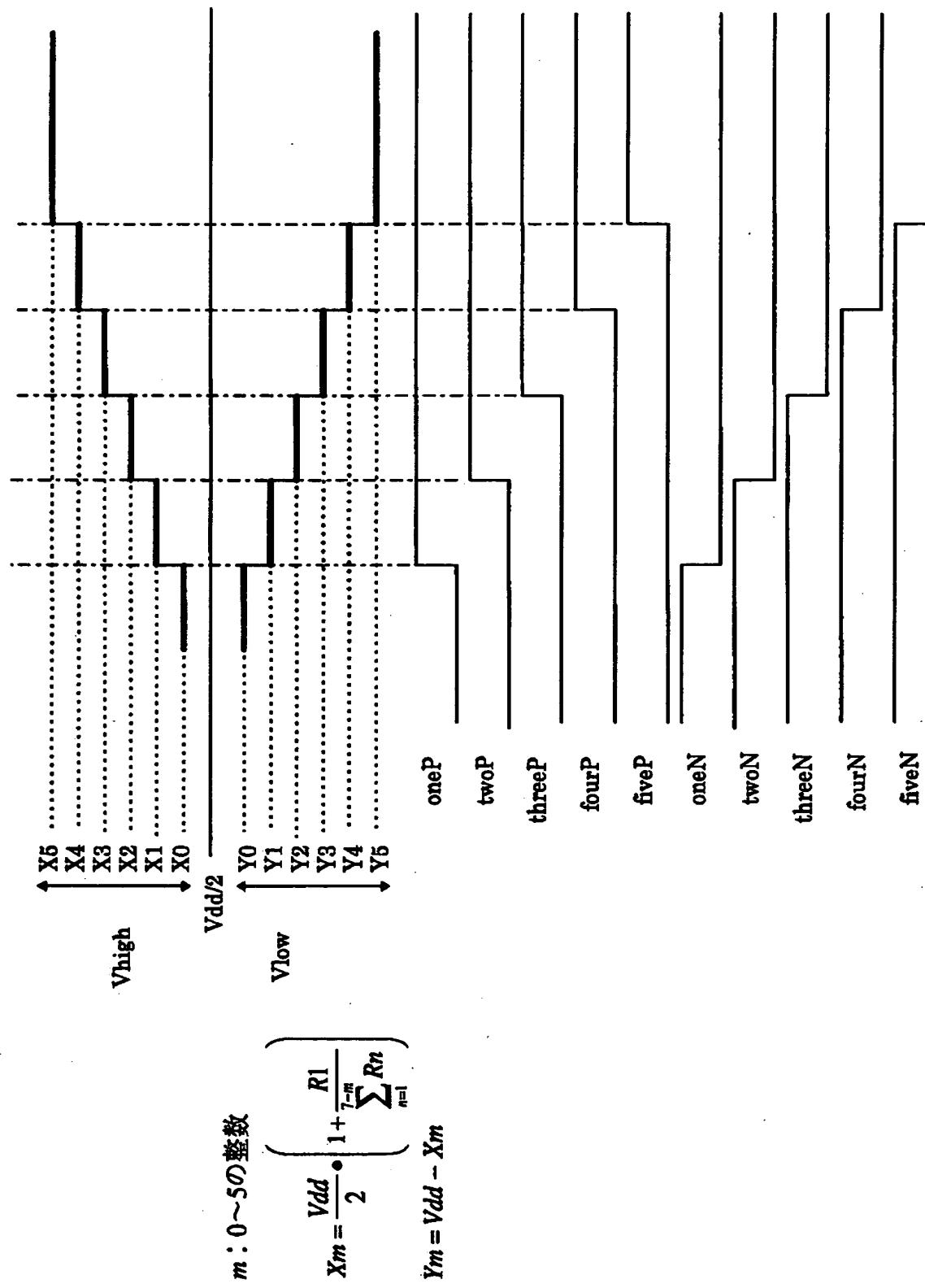
【図6】



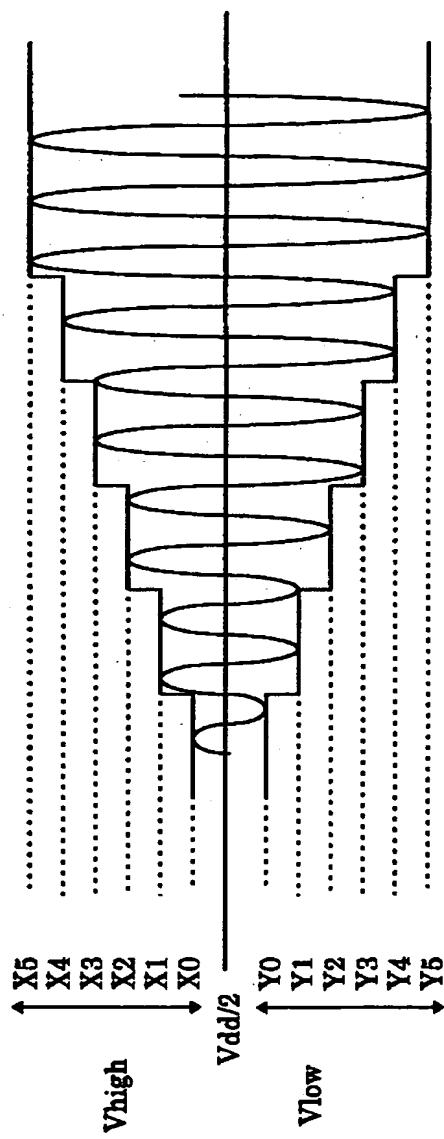
【図7】



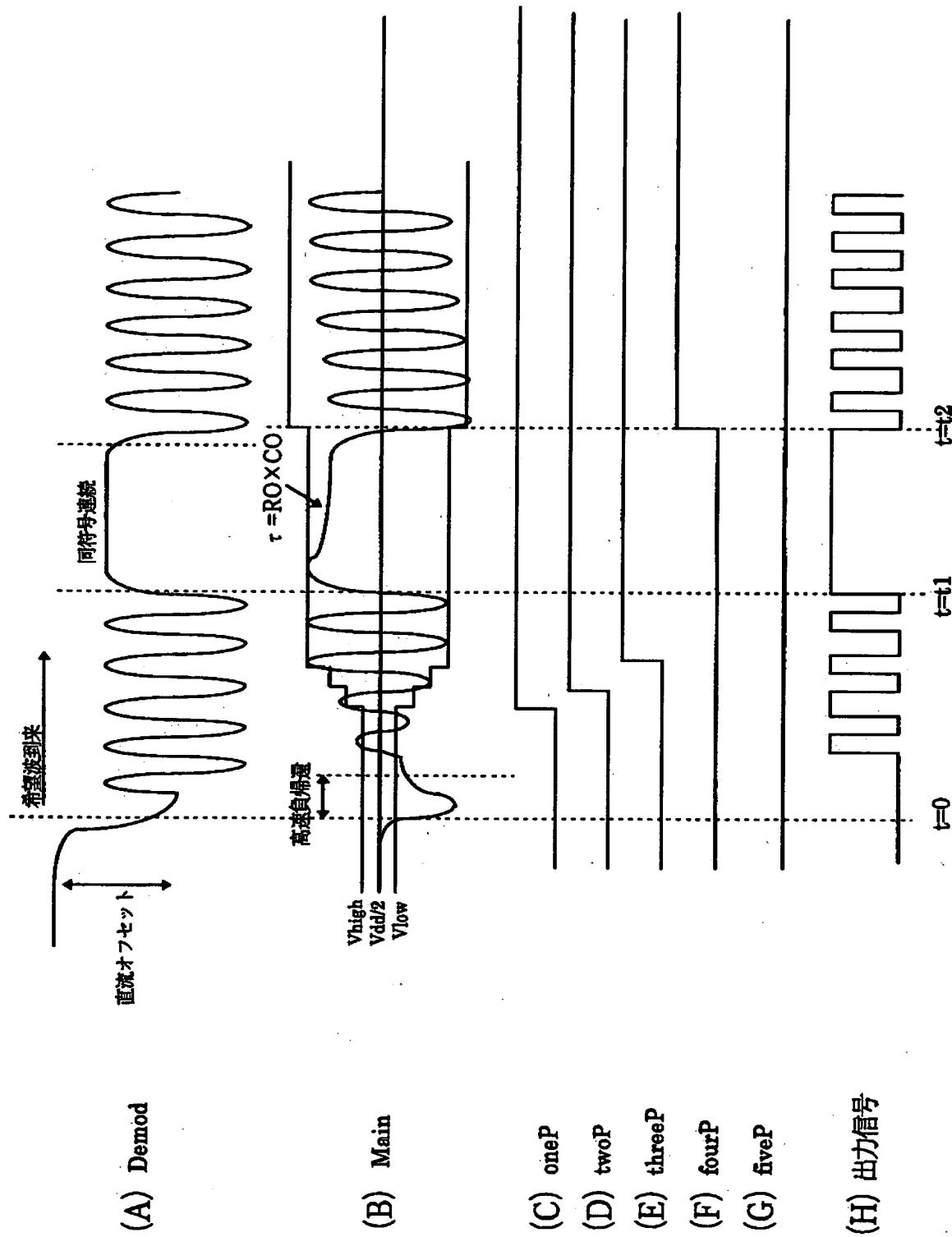
【図8】



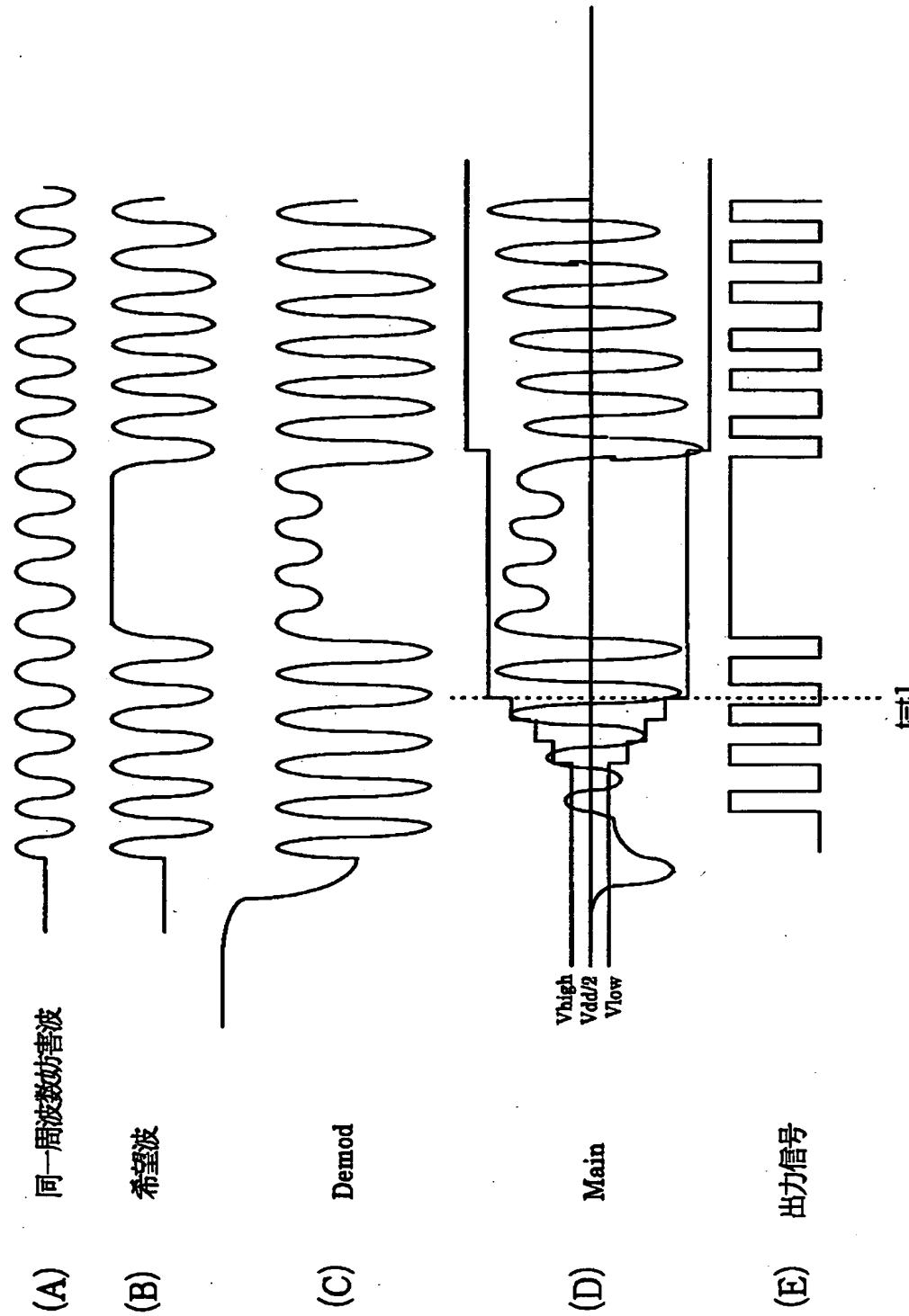
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 高速な直流電位補償が実行でき、同符号連続などによる直流変動を補償でき、ノイズ混入時の安定動作をも補償できる。

【解決手段】 本発明の信号補償回路は、入力信号を増幅する出力レベル調整端子を有する増幅手段と、コンデンサでの充電電圧を出力レベル調整端子に与える積分手段と、増幅信号の直流レベル変動を検出してコンデンサ電圧を変化させる低速補償手段と、上記増幅信号の振幅レベルが振幅制限閾値レベル越えたときに、コンデンサ電圧を高速に変化させる高速補償手段と、上記増幅信号の振幅レベルの変動に応じ、上記振幅制限閾値レベルを変更する振幅制限閾値レベル変更手段とを有する。本発明の復調回路は、本発明の信号補償回路の入力段に入力信号を検波する検波手段と、本発明の信号補償回路の出力段に、増幅手段からの出力信号を基準レベルと比較して、論理レベルを確定する比較手段とを有する。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社